

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 2 5 日  
Date of Application:

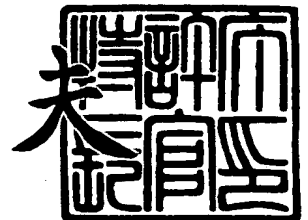
出 願 番 号                      特 願 2 0 0 3 - 1 2 2 8 4 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 2 2 8 4 0 ]

出      願      人                      シャープ株式会社  
Applicant(s):

2 0 0 4 年    1 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 4 8 3 2

【書類名】 特許願

【整理番号】 03J00708

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/20 101

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 河村 克之

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 白坂 康之

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100080034

    【弁理士】

    【氏名又は名称】 原 謙三

    【電話番号】 06-6351-4384

【選任した代理人】

    【識別番号】 100113701

    【弁理士】

    【氏名又は名称】 木島 隆一

【選任した代理人】

    【識別番号】 100116241

    【弁理士】

    【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デコード回路ならびにそれを用いるディスク記録／再生装置の受光アンプ回路および光学ピックアップ

【特許請求の範囲】

【請求項 1】

集積回路に実装され、単一の外部入力端子への入力電圧を、3つ以上の制御出力にデコードするデコード回路において、

ハイレベル側の電源にエミッタ（ソース）が接続され、ベース（ゲート）が前記外部入力端子に接続され、コレクタ（ドレイン）が第1の制御出力の出力端となるP型トランジスタと、

ローレベル側の電源にエミッタ（ソース）が接続され、ベース（ゲート）が前記外部入力端子に接続され、コレクタ（ドレイン）が第2の制御出力の出力端となるN型トランジスタとを含むことを特徴とするデコード回路。

【請求項 2】

前記外部入力端子に一端が接続される1または複数段の電圧降下手段と、

前記電圧降下手段の他端または接続点間にベース（ゲート）が接続され、前記ハイレベル側またはローレベル側の電源にエミッタ（ソース）が接続され、コレクタ（ドレイン）が制御出力の出力端となる1または複数の第2のトランジスタとをさらに備えることを特徴とする請求項1記載のデコード回路。

【請求項 3】

前記外部入力端子とベース（ゲート）との間に介在され、4つ以上の分圧抵抗が直流電源ライン間に接続されて成り、前記外部入力端子が分圧抵抗間の第1の接続点に接続され、前記P型トランジスタのベース（ゲート）が前記第1の接続点よりもハイレベル側の第2の接続点にバイアス抵抗を介して接続され、前記N型トランジスタのベース（ゲート）が前記第1の接続点よりもローレベル側の第3の接続点にバイアス抵抗を介して接続される第1の分圧回路と、

前記第1の接続点よりもローレベル側の接続点にバイアス抵抗を介してベース（ゲート）が接続される1または複数の第2のトランジスタと、

前記P型トランジスタで取込まれた電流が与えられる第2の分圧回路と、

前記第 2 の分圧回路の分圧抵抗間の接続点にバイアス抵抗を介してベース（ゲート）が接続される 1 または複数の第 3 のトランジスタとをさらに備えることを特徴とする請求項 1 記載のデコード回路。

**【請求項 4】**

前記請求項 1 ～ 3 の何れか 1 項に記載のデコード回路を用いることで、スイッチ機能を有することを特徴とするディスク記録／再生装置の受光アンプ回路。

**【請求項 5】**

前記請求項 4 記載の受光アンプ回路を備えることを特徴とする光学ピックアップ。

**【発明の詳細な説明】**

**【 0 0 0 1】**

**【発明の属する技術分野】**

本発明は、ディスク記録／再生装置の光学ピックアップにおける受光アンプ回路などに好適に搭載され、特に 3 つ以上の動作モードを単一の外部入力端子への入力電圧で切換えることができるデコード回路に関し、またそれを用いる前記受光アンプ回路および光学ピックアップに関する。

**【 0 0 0 2】**

**【従来の技術】**

C D ドライブや D V D ドライブの書込みへの対応に伴い、前記光学ピックアップにおける受光アンプ回路にも、読書きに対応した多くの動作モードが求められるようになってきている。たとえば、読込み時における小信号と、書込み時における大信号とに対応するために、受光アンプはゲインを 2 段階に切換える必要がある。更に D V D ドライブ等では、反射率の異なる記録媒体への対応、携帯機器用途では消費電力低減のためスタンバイ機能の追加等、従来のゲイン切換えに加えて、もう 1 つのモードを持つことが求められるようになった。

**【 0 0 0 3】**

一方、集積回路に実装される場合には、外部入力端子とダイの面積とは、密接に関連している。すなわち、端子を外部に出す場合には、パッケージのフレームとの接続のために、チップ上にワイヤーボンディング用の領域を設ける必要があ

り、ボンディングの設備や半導体プロセスにもよるけれども、その領域は  $150\ \mu\text{m}$  角程度である。これに対して、1つのトランジスタ領域は  $20\ \mu\text{m}$  角程度であり、その大きさの比率は50倍以上になる。また、チップ内で配線される端子では、その配線幅は数  $\mu\text{m}$  程度である。このため、外部に出す端子の削減は、ダイ縮小に大きな効果をもたらす。

#### 【0004】

そこで、従来の受光アンプ回路では、上記3つ以上の動作モードの切換を行うために、2つ以上の入力信号を必要としていたのを、デコード回路を用いることで、単一の外部入力端子への入力電圧を、3つ以上の制御出力にデコードすることで、上記ダイの縮小を実現するようにした従来技術が提案されている。

#### 【0005】

図6は、その典型的な従来技術のデコード回路1の電氣的構成を示すブロック図である。このデコード回路1は、2つのコンパレータA1、A2と、それぞれに個別に対応した基準電圧源B1、B2とを備えて構成されている。単一の外部入力端子2への入力電圧 $V_{in}$ は、前記2つのコンパレータA1、A2の正入力端に共通に入力され、それぞれの負入力端には、前記基準電圧源B1、B2からの基準電圧 $E_1$ 、 $E_2$ が入力される。コンパレータA1、A2は、前記入力電圧 $V_{in}$ が、前記基準電圧 $E_1$ 、 $E_2$ 以上であると出力 $V_{o1}$ 、 $V_{o2}$ をハイレベルとし、前記基準電圧 $E_1$ 、 $E_2$ 未満であると出力 $V_{o1}$ 、 $V_{o2}$ をローレベルとする。

#### 【0006】

これによって、2つの基準電圧 $E_1$ 、 $E_2$ を閾値電圧として、 $V_{in} \geq E_1$ 、 $E_1 > V_{in} \geq E_2$ 、 $V_{in} < E_2$ （但し、 $E_1 > E_2$ である）の3つの状態を判定するウィンドコンパレータが実現されている。そして、2つの出力 $V_{o1}$ 、 $V_{o2}$ の演算を取ることによって、3つの状態を検出することができる。たとえば、出力 $V_{o1}$ を用いて受光アンプのゲイン切換えを行い、出力 $V_{o2}$ を用いて受光アンプのスタンバイ機能をオン／オフ切換えする制御が行われる。

#### 【0007】

また、他の従来技術として、特開2000-236251号公報には、差動対

と定電流源とを用いて、単一の外部入力端子への3値入力に対して、単一の出力端子から、3種類の電流値出力を作成することが開示されている。また、実公平2-6684号公報には、第1の差動増幅器において差動対を構成する一方のトランジスタに、さらに第2の差動増幅器を設けることで、1入力3値出力を1つの定電流源で実現し、低消費電力化することが開示されている。

【0008】

【特許文献1】

特開2000-236251号公報（公開日：平成12年8月29日）

【0009】

【特許文献2】

実公平2-6684号公報（公開日：平成2年2月19日）

【0010】

【発明が解決しようとする課題】

図7は、前記コンパレータA1、A2の一構成例を示す電気回路図である。これらのコンパレータA1、A2は、N型のトランジスタq1、q2、P型のトランジスタq3、q4および定電流源fを備えて構成されている。前記トランジスタq1、q2は、エミッタが共通に定電流源fを介して接地され、ベースはそれぞれ前記正および負の入力端となり、コレクタは能動負荷となる前記トランジスタq3、q4を介してハイレベルの電源Vccに接続される。これによって、前記トランジスタq2、q4のコレクタの接続点が出力端となり、前記入力電圧Vinが、前記基準電圧E1、E2以上であると出力Vo1、Vo2をハイレベルとし、前記基準電圧E1、E2未満であると出力Vo1、Vo2をローレベルとすることができる。

【0011】

以上のように、従来の回路構成では、2つの外部入力端子が必要になるか、2つのコンパレータ（差動増幅器）が必要であり、ダイの縮小が困難である。

【0012】

本発明の目的は、ダイの縮小を図ることができるデコード回路ならびにそれを用いるディスク記録／再生装置の受光アンプ回路および光学ピックアップを提供

することである。

### 【0013】

#### 【課題を解決するための手段】

本発明のデコード回路は、集積回路に実装され、単一の外部入力端子への入力電圧を、3つ以上の制御出力にデコードするデコード回路において、ハイレベル側の電源にエミッタ（ソース）が接続され、ベース（ゲート）が前記外部入力端子に接続され、コレクタ（ドレイン）が第1の制御出力の出力端となるP型トランジスタと、ローレベル側の電源にエミッタ（ソース）が接続され、ベース（ゲート）が前記外部入力端子に接続され、コレクタ（ドレイン）が第2の制御出力の出力端となるN型トランジスタとを含むことを特徴とする。

### 【0014】

上記の構成によれば、集積回路に実装されて、ダイの縮小のために設けられ、単一の外部入力端子への入力電圧から、オン／オフのような2つの制御出力ではなく、3つ以上の制御出力にデコードして出力するデコード回路において、前記外部入力端子に対して、極性の相互に異なるP型およびN型のトランジスタを並列に設け、それらのコレクタ（ドレイン）からのそれぞれ2値の制御出力を用いて、前記3つ以上の制御出力を実現する。

### 【0015】

具体的には、前記P型トランジスタでは、エミッタ（ソース）がハイレベル側の電源に接続され、ベース（ゲート）が前記外部入力端子に接続され、コレクタ（ドレイン）が第1の制御出力の出力端となり、N型トランジスタでは、エミッタ（ソース）がローレベル側の電源に接続され、ベース（ゲート）が前記外部入力端子に接続され、コレクタ（ドレイン）が第2の制御出力の出力端となる。

### 【0016】

したがって、第1および第2の制御出力を作成するのに、多くのトランジスタや定電流源などを必要とするコンパレータを用いる場合に比べて、それぞれ1つのトランジスタでよく、一層ダイ縮小を図ることができる。

### 【0017】

また、本発明のデコード回路は、前記外部入力端子に一端が接続される1また



は複数段の電圧降下手段と、前記電圧降下手段の他端または接続点間にベース（ゲート）が接続され、前記ハイレベル側またはローレベル側の電源にエミッタ（ソース）が接続され、コレクタ（ドレイン）が制御出力の出力端となる 1 または複数の第 2 のトランジスタとをさらに備えることを特徴とする。

#### 【0 0 1 8】

上記の構成によれば、前記外部入力端子にはまた、ダイオードなどの電圧降下手段が 1 または複数段直列に接続され、その電圧降下手段の他端には第 2 のトランジスタのベース（ゲート）が接続され、またこの第 2 のトランジスタが複数設けられる場合には、前記電圧降下手段の接続点間に、その複数の第 2 のトランジスタのベース（ゲート）が接続される。前記各第 2 のトランジスタのエミッタ（ソース）は、前記 P 型トランジスタまたは N 型トランジスタと同様に、前記ハイレベル側またはローレベル側の電源に接続され、コレクタ（ドレイン）が制御出力の出力端となる。

#### 【0 0 1 9】

したがって、前記 N 型トランジスタのコレクタ（ドレイン）と、P 型トランジスタのコレクタ（ドレイン）と、この 1 または複数の第 2 のトランジスタのコレクタ（ドレイン）とで、3 つ以上の制御出力の出力端を形成することができる。そして、第 2 のトランジスタの動作論理は、直流電源電圧、外部入力端子への入力電圧および電圧降下手段の段数などによって設定することができる。

#### 【0 0 2 0】

したがって、前記単一の外部入力端子への入力電圧を、たとえば高電位、低電位、中間電位に切換えたり、前記高電位、低電位および開放電位（ハイインピーダンス）に切換えることによって、前記各出力端からの制御出力で、たとえばアンプの帰還抵抗の切換えを行い、ゲインを、高、中、低に切換えることができ、また前記ゲインの高、低の切換えとともに、回路をスタンバイモードに切換えることなども行うことができる。こうして、前記単一の外部入力端子への入力電圧から、3 つ以上の動作状態の切換えを行うことができる。

#### 【0 0 2 1】

さらにまた、本発明のデコード回路は、前記外部入力端子とベース（ゲート）

との間に介在され、4つ以上の分圧抵抗が直流電源ライン間に接続されて成り、前記外部入力端子が分圧抵抗間の第1の接続点に接続され、前記P型トランジスタのベース（ゲート）が前記第1の接続点よりもハイレベル側の第2の接続点にバイアス抵抗を介して接続され、前記N型トランジスタのベース（ゲート）が前記第1の接続点よりもローレベル側の第3の接続点にバイアス抵抗を介して接続される第1の分圧回路と、前記第1の接続点よりもローレベル側の接続点にバイアス抵抗を介してベース（ゲート）が接続される1または複数の第2のトランジスタと、前記P型トランジスタで取込まれた電流が与えられる第2の分圧回路と、前記第2の分圧回路の分圧抵抗間の接続点にバイアス抵抗を介してベース（ゲート）が接続される1または複数の第3のトランジスタとをさらに備えることを特徴とする。

#### 【0 0 2 2】

上記の構成によれば、第2の接続点にバイアス抵抗を介してベース（ゲート）が接続される第1のN型トランジスタのコレクタ（ドレイン）と、第2および第3のトランジスタをそれぞれ1つとすると、それらのコレクタ（ドレイン）で3つの制御出力の出力端を形成することができる。前記第2および第3のトランジスタの個数を増加すると、さらに出力端を増加することができる。そして、それぞれのトランジスタの動作論理は、直流電源電圧、外部入力端子への入力電圧、第1および第2の分圧回路の抵抗分圧比ならびにバイアス抵抗の値によって設定することができる。

#### 【0 0 2 3】

したがって、前記単一の外部入力端子への入力電圧を、たとえば高電位、低電位、中間電位に切換えたり、前記高電位、低電位および開放電位（ハイインピーダンス）に切換えることによって、前記各出力端からの制御出力で、たとえばアンプの帰還抵抗の切換えを行い、ゲインを、高、中、低に切換えることができ、また前記ゲインの高、低の切換えとともに、回路をスタンバイモードに切換えることなども行うことができる。こうして、前記単一の外部入力端子への入力電圧から、3つ以上の動作状態の切換えを行うことができる。

#### 【0 0 2 4】

また、本発明のディスク記録／再生装置の受光アンプ回路は、前記のデコード回路を用いることで、スイッチ機能を有することを特徴とする。

#### 【0025】

上記の構成によれば、ダイ縮小を図ることができるとともに、スタンバイモードへの切換えのスイッチ機能を有する受光アンプ回路を実現することができる。

#### 【0026】

さらにまた、本発明の光学ピックアップは、前記の受光アンプ回路を備えることを特徴とする。

#### 【0027】

上記の構成によれば、ダイ縮小を図ることができるとともに、スタンバイモードへの切換えのスイッチ機能を有する受光アンプ回路を搭載した光学ピックアップを実現することができる。

#### 【0028】

#### 【発明の実施の形態】

本発明の実施の一形態について、図1に基づいて説明すれば、以下のとおりである。

#### 【0029】

図1は、本発明の実施の一形態のデコード回路11の電気回路図である。このデコード回路11は、光学ピックアップの受光アンプ回路の集積回路において、ダイの縮小のために設けられ、単一の外部入力端子12への入力電圧 $V_{in}$ から、オン／オフのような2つの制御出力ではなく、3つ以上の制御出力にデコードして出力するものである。

#### 【0030】

このデコード回路11は、2つのトランジスタ $Q_1$ 、 $Q_2$ を備えて構成されている。単一の外部入力端子12への入力電圧 $V_{in}$ は、前記2つのトランジスタ $Q_1$ 、 $Q_2$ のベースに共通に入力され、P型トランジスタ $Q_1$ のエミッタはハイレベル $V_{cc}$ の電源に接続され、コレクタが第1の制御出力 $V_{o1}$ の出力端となり、N型トランジスタ $Q_2$ のエミッタはローレベルGNDの電源に接続され、コレクタが第2の制御出力 $V_{o2}$ の出力端となる。

**【0031】**

上述のように構成されるデコード回路11の動作は、3つの領域に分けられる。入力電圧 $V_{in}$ が低い場合はN型トランジスタQ2が非動作領域にあり、P型トランジスタQ1が能動領域にある。これに対して、入力電圧 $V_{in}$ が高い場合はN型トランジスタQ2が能動領域にあり、P型トランジスタQ1が非動作領域にある。それらのいずれでもない入力電圧 $V_{in}$ が中間電位の場合および開放電位（ハイインピーダンス）の場合は、トランジスタQ1、Q2が共に能動領域、もしくは非動作領域にあり、その演算を取ることによって、3つの状態を検出することができる。そして、たとえば第1の制御出力 $V_{o1}$ を用いて受光アンプのゲイン切換えを行い、第2の制御出力 $V_{o2}$ を用いて受光アンプのスタンバイ機能をオン／オフ切換えする制御が行われる。

**【0032】**

ここで、外部制御信号である前記入力電圧 $V_{in}$ は、実際にはマイクロコンピュータ等によって生成されるが、その信号によって切換えが行えるのであれば、前記基準電圧 $E1$ 、 $E2$ のような精度のある閾値は必要とならない。一例を挙げると、前記マイクロコンピュータが低電圧を出力する場合、その電位は、仕様によるけれども、GND電位+数百mVとなり、その電圧範囲で切換え制御が可能（実施例ではN型トランジスタが動作しない）であれば、問題はない。

**【0033】**

また、上記のように、入力電圧 $V_{in}$ が中間電位の場合および開放電位の場合は、トランジスタQ1、Q2は、非動作領域にある方が消費電流を抑制できるので、スタンバイモードとして携帯機器用途に好適である。しかしながら、電源電圧 $V_{cc}$ の仕様と、外部制御信号である入力電圧 $V_{in}$ の仕様とによっては、両方のトランジスタQ1、Q2が非動作領域にあることが困難な場合が考えられるが、その場合でも所望の回路動作を実現させることができる。

**【0034】**

以上のようにして、第1および第2の制御出力 $V_{o1}$ 、 $V_{o2}$ を作成するのに、多くのトランジスタや定電流源などを必要とするコンパレータを用いる場合に比べて、それぞれ1つのトランジスタでよく、前記単一の外部入力端子12の採

用によるダイ縮小に加えて、回路面積の縮小によっても、一層ダイ縮小を図り、集積回路の縮小を実現することができる。

#### 【0035】

本発明の実施の他の形態について、図2および図3に基づいて説明すれば、以下のとおりである。

#### 【0036】

図2は、本発明の実施の他の形態のデコード回路21の電気回路図である。このデコード回路21は、上述のデコード回路11に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このデコード回路21では、前記2つのトランジスタQ1、Q2に加えて、もう1つのN型トランジスタQ3が設けられるとともに、それに対応して、任意の段数nだけ直列に接続されたダイオードD1～Dnが設けられることである。

#### 【0037】

前記外部入力端子12にはダイオードD1のアノード側が接続され、ダイオードDnのカソード側はトランジスタQ3のベースに接続される。トランジスタQ3のエミッタは、同じN型のトランジスタQ2のエミッタと同様にローレベルGNDの電源に接続され、コレクタが第3の制御出力Vo3の出力端となる。

#### 【0038】

また、図3も、本発明の実施の他の形態のデコード回路31の電気回路図である。このデコード回路31では、もう1つのP型トランジスタQ11が設けられており、それに対応して、前記外部入力端子12にはダイオードDnのカソード側が接続され、ダイオードD1のアノード側はトランジスタQ11のベースに接続される。トランジスタQ11のエミッタは、同じP型のトランジスタQ1のエミッタと同様にハイレベルVccの電源に接続され、コレクタが第3の制御出力Vo3の出力端となる。

#### 【0039】

前記トランジスタQ3、Q11が複数設けられる場合には、そのベースは、ダイオードD1～Dnの接続点に接続される。こうして、3つ以上の制御出力の出力端を形成することができる。そして、トランジスタQ3、Q11の動作論理は

、直流電源電圧  $V_{cc}$ 、外部入力端子 12 への入力電圧  $V_{in}$  およびダイオード  $D1 \sim Dn$  の段数などによって任意に設定することができる。

#### 【0040】

本発明の実施のさらに他の形態について、図 4 および図 5 に基づいて説明すれば、以下のとおりである。

#### 【0041】

図 4 は、本発明の実施のさらに他の形態のデコード回路 41 の電気回路図である。このデコード回路 41 は、上述のデコード回路 11 に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このデコード回路 41 では、前記 2 つのトランジスタ  $Q1$ 、 $Q2$  に加えて、4 つの分圧抵抗  $R1 \sim R4$  から成る第 1 の分圧回路 42 と、2 つの分圧抵抗  $R5$ 、 $R6$  から成る第 2 の分圧回路 43 と、N 型の 3 つのトランジスタ  $Q3 \sim Q5$  と、各トランジスタ  $Q1 \sim Q5$  のバイアス抵抗  $R11 \sim R15$  とを備えて構成されることである。

#### 【0042】

前記 4 つの分圧抵抗  $R1 \sim R4$  は直流電源ライン間に接続されており、その中点である分圧抵抗  $R2$ 、 $R3$  間の第 1 の接続点には前記外部入力端子 12 が接続され、前記第 1 の接続点よりもハイレベル側の分圧抵抗  $R1$ 、 $R2$  間の第 2 の接続点にはバイアス抵抗  $R11$  を介して前記トランジスタ  $Q1$  のベースが接続され、前記第 1 の接続点よりもローレベル側の分圧抵抗  $R3$ 、 $R4$  間の第 3 の接続点にはバイアス抵抗  $R12$  を介して前記トランジスタ  $Q2$  のベースが接続される。

#### 【0043】

したがって、前述のように、大略的に 2 つのトランジスタ  $Q1$ 、 $Q2$  は相反動作を行い、トランジスタ  $Q1$  で取込まれた電流は第 2 の分圧回路 43 に与えられ、該トランジスタ  $Q1$  の消費電流を抑制するための電流制限とともに、電圧に変換され、分圧される。また、前記分圧抵抗  $R3$ 、 $R4$  間の第 3 の接続点にはバイアス抵抗  $R13$  を介してトランジスタ  $Q3$  のベースが接続され、前記第 2 の分圧回路 43 の分圧抵抗  $R5$ 、 $R6$  間の接続点にはバイアス抵抗  $R14$ 、 $R15$  をそれぞれ介してトランジスタ  $Q4$ 、 $Q5$  のベースが接続される。前記各トランジスタ  $Q2 \sim Q5$  のエミッタは共通にローレベル GND の電源に接続される。前記ト

ランジスタ Q2, Q4 のコレクタはスタンバイ信号 S T B Y の出力端となり、前記トランジスタ Q3 のコレクタは第 1 のゲイン切換え信号 C T L 1 の出力端となり、前記トランジスタ Q5 のコレクタは第 2 のゲイン切換え信号 C T L 2 の出力端となる。たとえば、前記各分圧抵抗 R1 ~ R6 の抵抗値は 40 k $\Omega$  であり、前記各バイアス抵抗 R11 ~ R15 の抵抗値は 10 k $\Omega$  である。

#### 【0044】

一方、受光アンプ回路 44 は、アンプ 45 と、フォトダイオード 46 と、2 つの P 型トランジスタ Q21, Q22 と、2 つの帰還抵抗 R21, R22 とを備えて構成されている。フォトダイオード 46 はアンプ 45 の負入力端に接続され、このアンプ 45 の正入力端には基準電圧 V r e f が与えられる。アンプ 45 は、フォトダイオード 46 による光電流を、電流-電圧変換するとともに前記基準電圧 V r e f を基準として増幅を行い、検出信号 S I G を図示しない信号処理回路などへ出力し、光ディスクに記録されている情報が再生され、またトラッキングやフォーカシングのサーボが行われる。

#### 【0045】

また、前記検出信号 S I G は、トランジスタ Q21 および帰還抵抗 R21 から成る第 1 の帰還回路またはトランジスタ Q22 および帰還抵抗 R22 から成る第 2 の帰還回路を介して、負帰還される。トランジスタ Q21 は前記第 1 のゲイン切換え信号 C T L 1 によってオン/オフ制御され、トランジスタ Q22 は前記第 2 のゲイン切換え信号 C T L 2 によってオン/オフ制御される。また、帰還抵抗 R21 の抵抗値は、帰還抵抗 R22 の抵抗値よりも小さく、したがってトランジスタ Q21 がオンする（第 1 のゲイン切換え信号 C T L 1 がアクティブのローレベルとなる）と、受光アンプ回路 44 はハイゲインとなり、トランジスタ Q22 がオンするとローゲインとなる。前記スタンバイ信号 S T B Y が、アクティブのローレベルとなるとアンプ 45 は能動領域にあり、非アクティブのオープン状態となると非動作領域になる。

#### 【0046】

上述のように構成されるデコード回路 41 および受光アンプ回路 44 において、前記外部制御信号である前記入力電圧 V i n が高電位有的时候には、トランジス

タ Q 2 は能動領域にあり、前記スタンバイ信号 S T B Y がアクティブのローレベルとなって受光アンプ回路 4 4 のバイアス回路を駆動する。また、トランジスタ Q 3 も能動領域にあり、第 1 のゲイン切換え信号 C T L 1 がアクティブのローレベルとなってトランジスタ Q 2 1 をオンし、前記受光アンプ回路 4 4 は読出しなどに対応したハイゲインとなる。一方、トランジスタ Q 1 は非動作領域にあり、このため分圧抵抗 R 6 によってプルダウンされているトランジスタ Q 4 , Q 5 は非動作領域にある。

#### 【0047】

これに対して、前記入力電圧  $V_{in}$  が低電位有的时候には、トランジスタ Q 1 は能動領域にあり、それによって駆動されるトランジスタ Q 4 も能動領域にあり、前記スタンバイ信号 S T B Y がアクティブのローレベルとなって受光アンプ回路 4 4 のバイアス回路を駆動する。また、トランジスタ Q 5 も能動領域にあり、第 2 のゲイン切換え信号 C T L 2 がアクティブのローレベルとなってトランジスタ Q 2 2 をオンし、前記受光アンプ回路 4 4 は書込みなどに対応したローゲインとなる。一方、トランジスタ Q 2 , Q 3 は非動作領域にある。

#### 【0048】

また、前記入力電圧  $V_{in}$  が中間電位有的时候には、総てのトランジスタ Q 1 ~ Q 5 が非動作領域にあり、スタンバイ信号 S T B Y が非アクティブのオープン状態となってバイアス回路が駆動されず、またゲイン切換え信号 C T L 1 , C T L 2 も共に非アクティブのオープン状態となってゲイン選択も行われず、前記受光アンプ回路 4 4 はスタンバイモードとなる。

#### 【0049】

図 5 に、前記入力電圧  $V_{in}$  に対する受光アンプ回路 4 4 の電源電流  $I_{cc}$  の変化のシミュレーション結果を示す。前記入力電圧  $V_{in}$  が低電位の時回路は動作領域（ローゲイン状態）にあり、中間電位では電源電流  $I_{cc}$  が抑えられてスタンバイモードになり、高電位において回路は動作領域（ハイゲイン状態）にあるのが理解される。

#### 【0050】

このようにして、単一の外部入力端子 1 2 への入力電圧  $V_{in}$  を、高電位、低



電位、中間電位に切換えることによって、各トランジスタ  $Q2 \sim Q5$  の出力端からの制御出力で、アンプ 45 の帰還抵抗  $R21$ ,  $R22$  の切換えを行い、ゲインの高、低の切換えを行うとともに、回路をスタンバイモードに切換えることができる。こうして、前記単一の外部入力端子 12 への入力電圧  $V_{in}$  から、3 つ以上の動作状態の切換えを行うことができる。

#### 【0051】

前記の切換えは、ゲインの、高、中、低の切換えなどであってもよく、また前記入力電圧  $V_{in}$  も、前記高電位、低電位および開放電位（ハイインピーダンス）に切換えられてもよい。そして、トランジスタの個数を増加すると、さらに出力端を増加することができ、それぞれのトランジスタの動作論理は、直流電源電圧  $V_{cc}$ 、外部入力端子 12 への入力電圧  $V_{in}$ 、第 1 および第 2 の分圧回路 42, 43 の抵抗分圧比ならびにバイアス抵抗  $R11 \sim R15$  の値によって設定することができる。

#### 【0052】

##### 【発明の効果】

本発明のデコード回路は、以上のように、集積回路に実装されて、ダイの縮小のために設けられ、単一の外部入力端子への入力電圧から、オン／オフのような 2 つの制御出力ではなく、3 つ以上の制御出力にデコードして出力するデコード回路において、前記外部入力端子に対して、極性の相互に異なる P 型および N 型のトランジスタを並列に設け、それらのコレクタ（ドレイン）からのそれぞれ 2 値の制御出力を用いて、前記 3 つ以上の制御出力を実現する。

#### 【0053】

それゆえ、第 1 および第 2 の制御出力を作成するのに、多くのトランジスタや定電流源などを必要とするコンパレータを用いる場合に比べて、それぞれ 1 つのトランジスタでよく、一層ダイ縮小を図ることができる。

#### 【0054】

また、本発明のデコード回路は、以上のように、前記外部入力端子にはまた、ダイオードなどの電圧降下手段が 1 または複数段直列に接続され、その電圧降下手段の他端には第 2 のトランジスタのベース（ゲート）が接続され、またこの第

2のトランジスタが複数設けられる場合には、前記電圧降下手段の接続点間に、その複数の第2のトランジスタのベース（ゲート）が接続され、前記各第2のトランジスタのエミッタ（ソース）は、前記P型トランジスタまたはN型トランジスタと同様に、前記ハイレベル側またはローレベル側の電源に接続され、コレクタ（ドレイン）が制御出力の出力端となる。

#### 【0055】

それゆえ、前記N型トランジスタのコレクタ（ドレイン）と、P型トランジスタのコレクタ（ドレイン）と、この1または複数の第2のトランジスタのコレクタ（ドレイン）とで、3つ以上の制御出力の出力端を形成することができ、前記単一の外部入力端子への入力電圧から、3つ以上の動作状態の切換えを行うことができる。

#### 【0056】

さらにまた、本発明のデコード回路は、以上のように、前記外部入力端子とベース（ゲート）との間に介在され、4つ以上の分圧抵抗が直流電源ライン間に接続されて成り、前記外部入力端子が分圧抵抗間の第1の接続点に接続され、前記P型トランジスタのベース（ゲート）が前記第1の接続点よりもハイレベル側の第2の接続点にバイアス抵抗を介して接続され、前記N型トランジスタのベース（ゲート）が前記第1の接続点よりもローレベル側の第3の接続点にバイアス抵抗を介して接続される第1の分圧回路と、前記第1の接続点よりもローレベル側の接続点にバイアス抵抗を介してベース（ゲート）が接続される1または複数の第2のトランジスタと、前記P型トランジスタで取込まれた電流が与えられる第2の分圧回路と、前記第2の分圧回路の分圧抵抗間の接続点にバイアス抵抗を介してベース（ゲート）が接続される1または複数の第3のトランジスタとをさらに備える。

#### 【0057】

それゆえ、第2の接続点にバイアス抵抗を介してベース（ゲート）が接続される第1のN型トランジスタのコレクタ（ドレイン）と、1または複数の第2および第3のトランジスタのコレクタ（ドレイン）とで、3つ以上の制御出力の出力端を形成することができ、前記単一の外部入力端子への入力電圧から、3つ以上

の動作状態の切換えを行うことができる。

【0058】

また、本発明のディスク記録／再生装置の受光アンプ回路は、以上のように、前記のデコード回路を用いることで、スイッチ機能を有する。

【0059】

それゆえ、ダイ縮小を図ることができるとともに、スタンバイモードへの切換えのスイッチ機能を有する受光アンプ回路を実現することができる。

【0060】

さらにまた、本発明の光学ピックアップは、以上のように、前記の受光アンプ回路を備える。

【0061】

それゆえ、ダイ縮小を図ることができるとともに、スタンバイモードへの切換えのスイッチ機能を有する受光アンプ回路を搭載した光学ピックアップを実現することができる。

【図面の簡単な説明】

【図1】

本発明の実施の一形態のデコード回路の電気回路図である。

【図2】

本発明の実施の他の形態のデコード回路の電気回路図である。

【図3】

本発明の実施の他の形態のデコード回路の電気回路図である。

【図4】

本発明の実施のさらに他の形態のデコード回路の電気回路図である。

【図5】

図4で示すデコード回路による入力電圧に対する受光アンプ回路の電源電流の変化のシミュレーション結果を示す波形図である。

【図6】

典型的な従来技術のデコード回路の電氣的構成を示すブロック図である。

【図7】

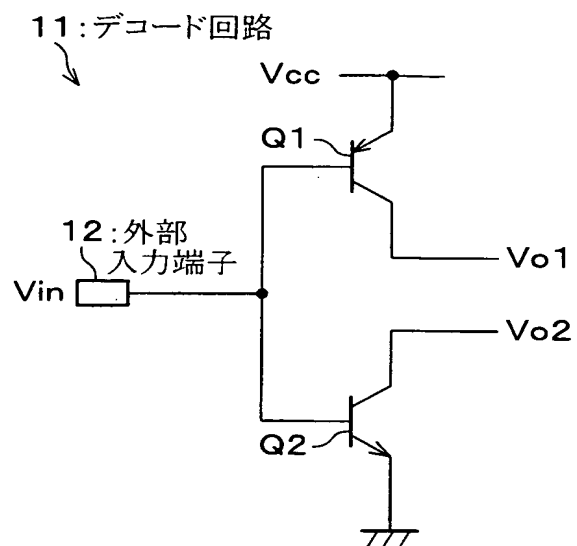
前記図 6 で示すデコード回路におけるコンパレータの一構成例を示す電気回路図である。

【符号の説明】

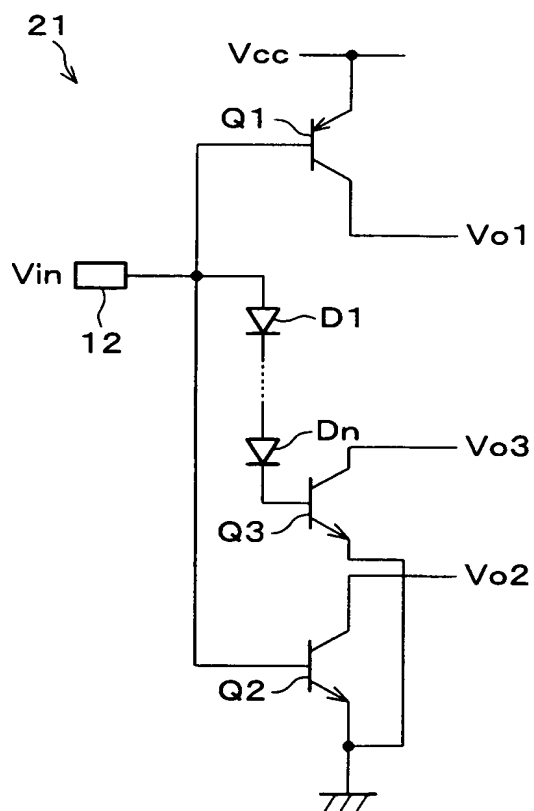
- 1 1, 2 1, 3 1, 4 1      デコード回路
- 1 2      単一の外部入力端子
- 4 2      第 1 の分圧回路
- 4 3      第 2 の分圧回路
- 4 4      受光アンプ回路
- 4 5      アンプ
- 4 6      フォトダイオード
- D 1 ~ D n      ダイオード（電圧降下手段）
- Q 1      P 型トランジスタ
- Q 2      N 型トランジスタ
- Q 3      N 型トランジスタ（第 2 のトランジスタ）
- Q 4, Q 5      N 型トランジスタ（第 3 のトランジスタ）
- Q 1 1      P 型トランジスタ（第 2 のトランジスタ）
- Q 2 1, Q 2 2      P 型トランジスタ
- R 1 ~ R 6      分圧抵抗
- R 1 1 ~ R 1 5      バイアス抵抗
- R 2 1, R 2 2      帰還抵抗

【書類名】 図面

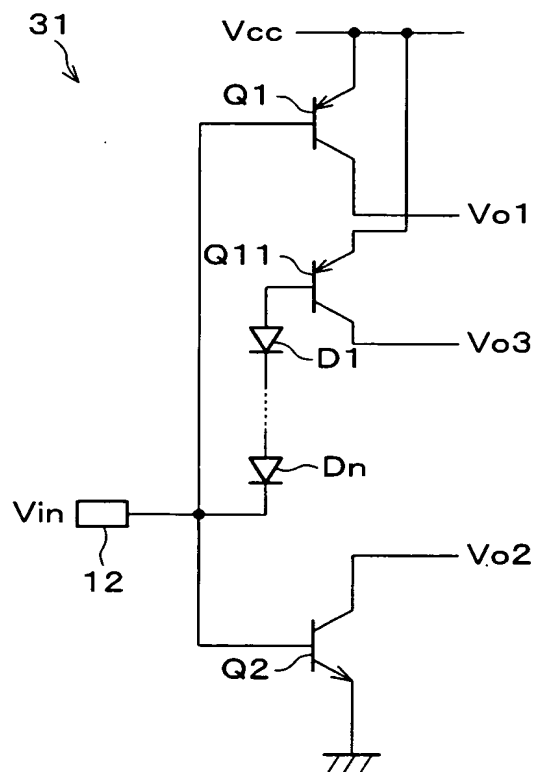
【図 1】



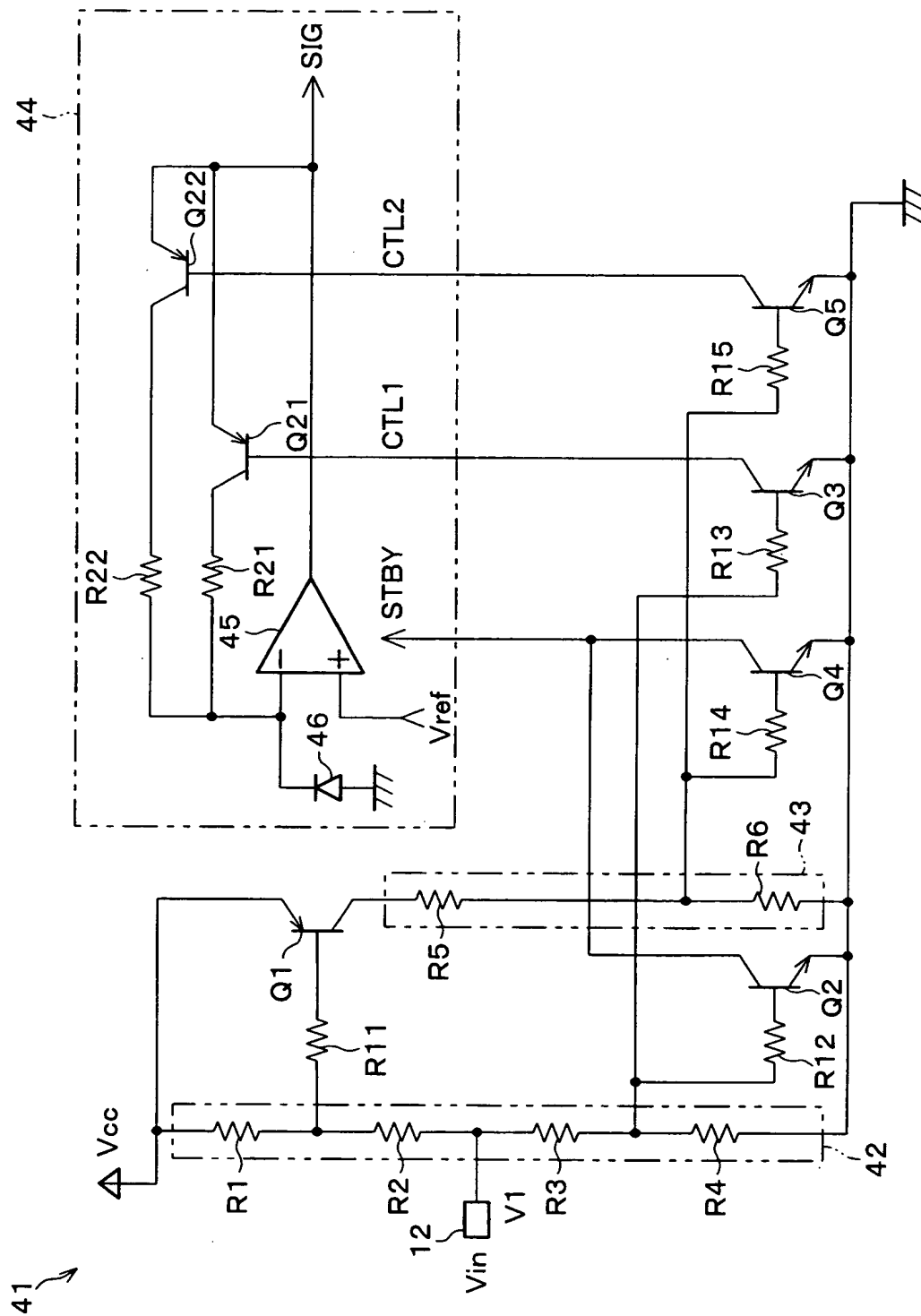
【図 2】



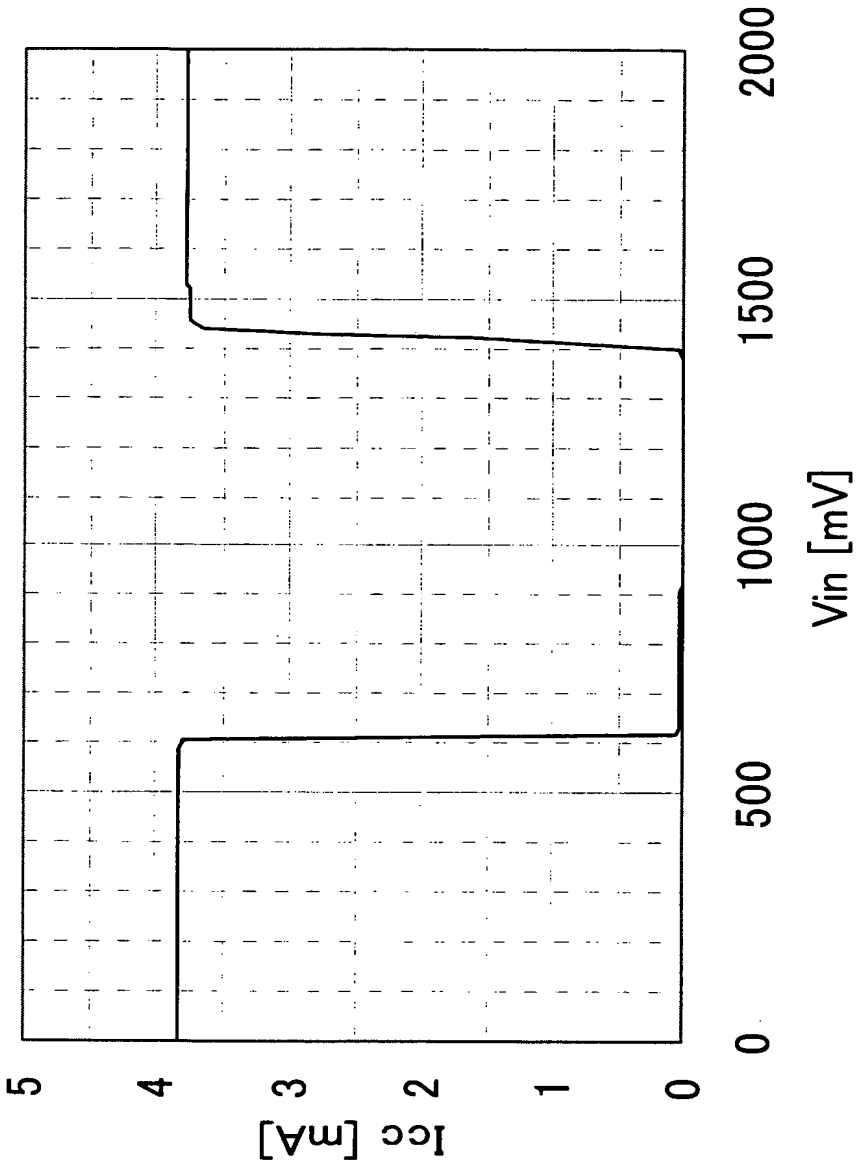
【図 3】



【図 4】

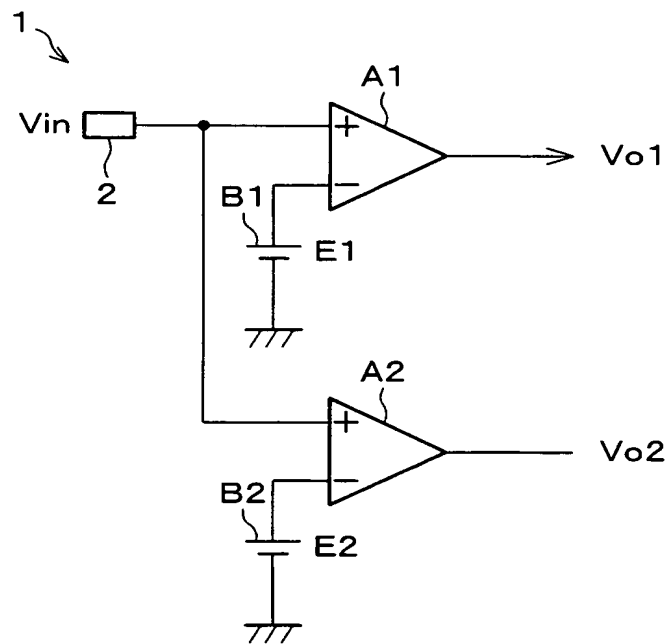


【図5】

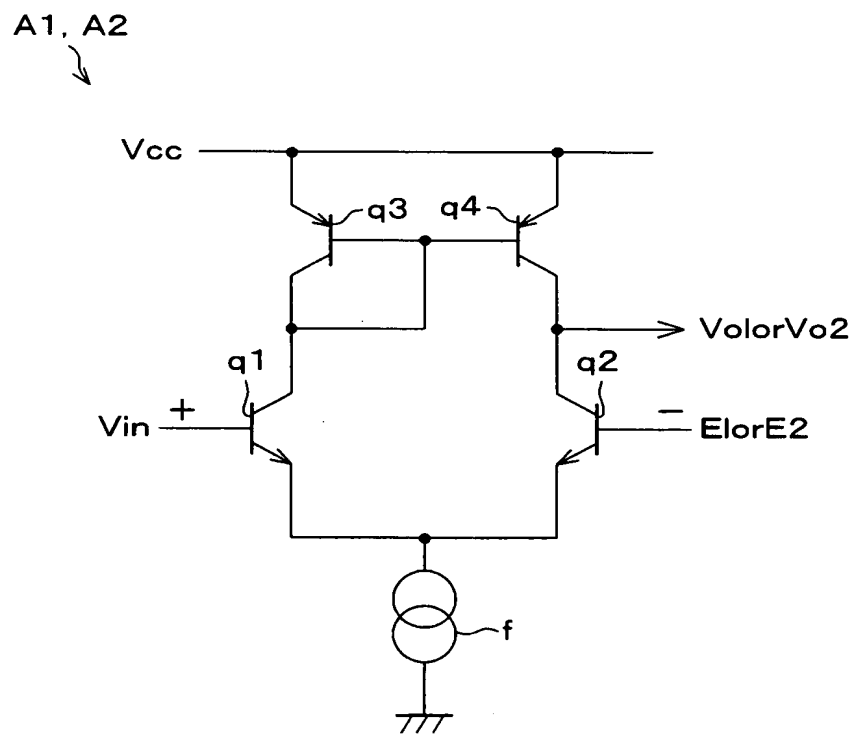




【図 6】



【図 7】



**【書類名】 要約書****【要約】**

**【課題】** 集積回路に実装され、単一の外部入力端子 12 への入力電圧  $V_{in}$  を、3 値以上の制御出力  $V_{o1}$ ,  $V_{o2}$  にデコードするデコード回路 11 において、ダイの縮小を図る。

**【解決手段】** ハイ側の電源  $V_{cc}$  にエミッタが接続され、ベースが前記外部入力端子 12 に接続され、コレクタが第 1 の制御出力  $V_{o1}$  の出力端となる P 型トランジスタ Q1 と、ロー側の電源 GND にエミッタが接続され、ベースが前記外部入力端子 12 に接続され、コレクタが第 2 の制御出力  $V_{o2}$  の出力端となる N 型トランジスタ Q2 とを設け、制御出力  $V_{o1}$ ,  $V_{o2}$  を論理演算することで 3 値以上のデータを復元する。したがって、2 つの制御出力  $V_{o1}$ ,  $V_{o2}$  を作成するのに、多くのトランジスタや定電流源などを必要とするコンパレータを用いる場合に比べて、それぞれ 1 つのトランジスタでよく、ダイ縮小を図ることができる。

**【選択図】 図 1**

特願 2 0 0 3 - 1 2 2 8 4 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名 シャープ株式会社